

ポリティック故障をマスク可能な  
ADRを用いた回路の構成法藤 堀 修 角 山 正 博 内 藤 祥 雄  
(長岡技術科学大学)1. まえがき

ADR (Alternate-Data Retry) の手法を用いて、組合せ回路をフォールトトレラント化するための新しい回路の構成方法を提案する。従来のADRを用いた手法においては、ポリティック故障をマスクできないために、この故障が発生しないことが故障をマスクするための十分条件の1つとしてあげられていた。しかし、本稿で提案する新しい構成方法を用いて回路を構成した場合には、ポリティック故障をもふくめて、すべての単一スタック故障をマスクできる。

2. 論理回路の故障

本項では、本稿で用いる故障仮定について述べ、また言葉の定義を行なう。

故障は単一スタック故障を仮定し、複数のファンアウト点を持つ多入力-出力回路を対象とする。

定義 論理回路の中に故障が発生したにもかかわらず、回路の出力値に影響があらわれないとき、その故障はマスクされたという。

単一故障を含む回路が次の補題の条件を満足するとき、その故障はマスクされる。

- 補題1 (1) 故障地点から回路の出力に至る活性化パスが存在しない、または  
(2) 活性化パスが存在したとき、そのパス上の正しい値と、故障した結果あらわれた値とが一致する。

3. ポリティック故障について

次にポリティック故障の定義を行なう。

自己双対な多入力-出力回路に互いに補数である入力 ( $X; \bar{X}$ ) を印加すると、 $(z; \bar{z})$  が出力される。しかし、回路内に単一スタック故障が発生した結果、出力が  $(\bar{z}; z)$  となることがある。このような故障をポリティック故障という。明らかにこの故障は従来のADR手法ではマスクすることができない。

ファンアウトのない回路においてはこのようなポリティック故障は発生しないことがすでに明らかにされている<sup>1)</sup>。ポリティック故障が発生するための回路及び入力の必要条件を次に示す。

入力 ( $X; \bar{X}$ ) を印加したとき、

- (1) 出力がファンアウトしていて、かつ出力値が変化しないようなゲートが回路内に存在し、
- (2) そのゲートの出力から回路の出力までのパスのうち、 $X$  を印加した時の活性化パスと  $\bar{X}$  を印加した時の活性化パスとのインバータの数が異なる。

このとき、ファンアウト点でマスクされない故障信号を発生する故障がポリティック故障である。

4. 新しい構成方法

上で示した条件から明らかかなようにポリティック故障をマスクするためには、すべての活性化パス上のインバータの数を等しくするか、あるいは入力 ( $X; \bar{X}$ ) に対してすべてのゲートの入出力値が反転するように回路を構成すればよい。本稿では後者を採用し新しい構成方法を用いて回路を構成する。

NOT, AND, ORの各ゲートのみで構成された、固定した入力端子を含まない任意の組合せ回路が与えられたとき、すべてのANDゲートをORゲートに、ORゲートをANDゲートにおきかえ、インバータはそのままにしておくことによってこの回路と双対な回路を構成することができる。このようにして構成された回路の任意の部分回路の実現する関数と、元の回路の対応する部分回路の実現する関数とは明らかに双対である。したがってこれらの回路に対して次の補題が成立する。

**補題2** ゲートのおきかえを行なう前の回路の入力に $X$ 、おきかえを行なった回路の入力に $\bar{X}$ を印加したとき、おきかえを行なった回路内のすべてのゲートの入出力線の値は、おきかえを行なう前の回路内のゲートの入出力線の値の補数となる。

(証明) 帰納法により証明する。

おきかえを行なった回路の第1段目のゲートの入力線は一次入力であるから値は $X$ の補数である。また、ゲートのおきかえを行なっているため値が補数である入力に対しては出力も補数をとる。よって、おきかえを行なった第1段目のゲートの入出力線の値はおきかえを行なう前の回路内の第1段目のゲートの入出力線の値の補数となる。

次に第 $k$ 段のゲートの入力線、及び出力線の値がともに補数であるものと仮定する。

すると第 $k+1$ 段のゲートの、入力線は第 $k$ 段のゲートの出力線になるから、値は補数である。ゆえに第1段目と同様に出力の値も補数になる。

したがって両回路におけるすべてのゲートの入出力線の値は互いに補数になる。

(証明終)

ゲートのおきかえの例を図1に示す。この二つの回路の機能を一つの回路で実現するためには、3入力多数決素子とインバータを用いて回路を構成すればよい。これを図2に示す。図中の $a$ は実行時0、再実行時1となる変数である。

### 5. 実行の方法

まず、ゲートのおきかえを行なう前の回路(すなわち $a=0$ )で演算を実行する。このとき故障がマスクされていなければ誤った値を出力する。このように故障がマスクされていないときには入力値の補数をゲートのおきかえを行なった回路(すなわち $a=1$ )に入力して再実行する。もし活性化パスが存在しないときは補題1(1)より故障はマスクされる。活性化パスが存在していたとしても補題2から、回路内のすべての線はゲートをおきかえる前の値の補数であるから、故障値と正しい値とは一致している。したがってこのときも補題1(2)より故障はマスクされる。よって回路内の任意の地点に発生した、ポリティニック故障を含むすべての単一スタック故障をADR手法によりマスクすることができる。

### 6. あとがき

本稿では、ポリティニック故障を含めたすべてのスタック故障をマスクできる回路の構成方法の一例について示した。

今後、ここで検討した事柄を更に発展させ、より容易に回路を構成できるように研究をすすめていく予定である。

参考文献 (1) J. J. Shedletsky, "Error Correction by Alternate-Data Retry",

IEEE Trans. Comput., c-27, Feb 1978

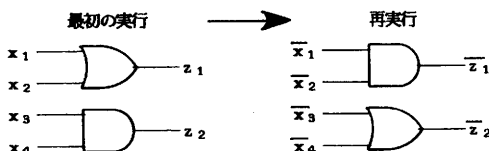


図1. ゲートのおきかえの例

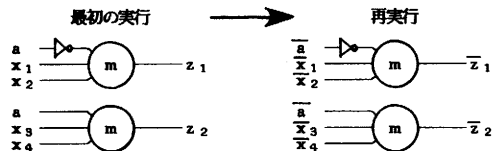


図2. 多数決素子を用いた例